

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-176965
(43)Date of publication of application : 29.06.2001

(51)Int.Cl.

H01L 21/768
H01L 21/28
H01L 21/3205

(21)Application number : 11-360975
(22)Date of filing : 20.12.1999

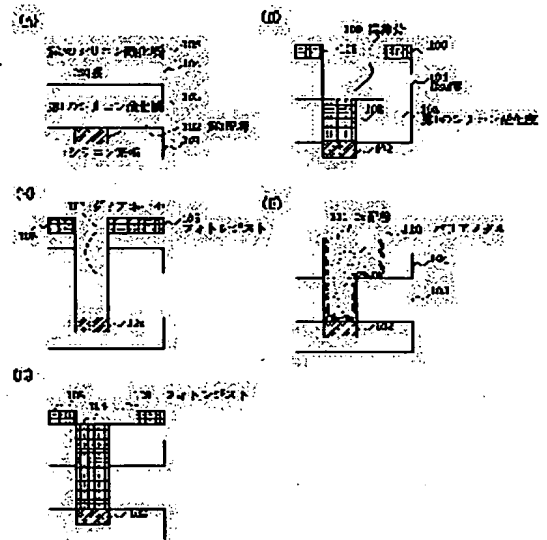
(71)Applicant : NEC CORP
(72)Inventor : YOKOYAMA KOJI
NISHIZAWA ATSUSHI

(54) SEMICONDUCTOR DEVICE AND METHOD OF FABRICATION

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device, and a method of fabrication, in which the capacitance between interconnections can be suppressed and reduced furthermore effectively and a dual damascene structure having a good trench shape can be obtained without requiring a silicon nitride film.

SOLUTION: The semiconductor device comprises an upper layer Cu interconnection 111, and layers being provided with a contact hole interconnection, i.e., insulation layers 103, 104, 105, formed of an insulation material wherein a layer being provided with a contact hole interconnection, i.e., the first silicon oxide film 103, and a layer where the Cu interconnection 111 being provided on the contact hole interconnection, i.e., the HSQ film 104, are made of materials having different etching rate at the flow rate ratio of reaction gas.



LEGAL STATUS

[Date of request for examination] 14.11.2000
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-176965
(P2001-176965A)

(43) 公開日 平成13年6月29日 (2001.6.29)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 21/768		H 0 1 L 21/28	3 0 1 R 4 M 1 0 4
21/28	3 0 1	21/90	B 5 F 0 3 3
21/3205		21/88	M

審査請求 有 請求項の数 9 O L (全 8 頁)

(21) 出願番号 特願平11-360975

(22) 出願日 平成11年12月20日 (1999.12.20)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 横山 孝司

東京都港区芝5丁目7番1号 日本電気株式会社内

(72) 発明者 西沢 厚

東京都港区芝5丁目7番1号 日本電気株式会社内

(74) 代理人 100095740

弁理士 関口 宗昭

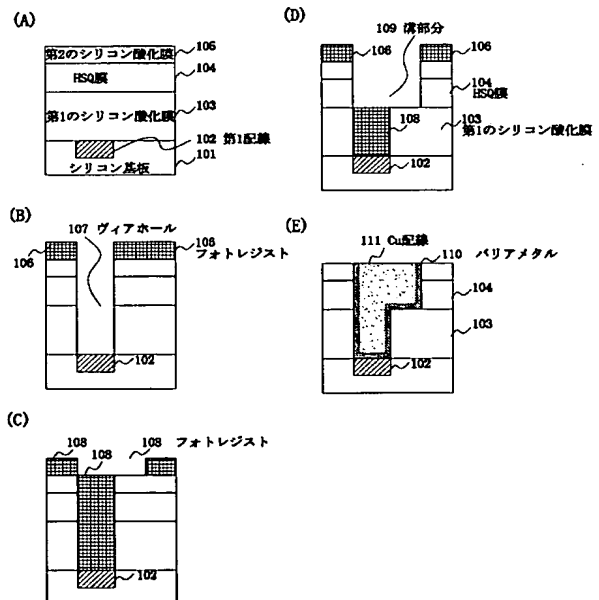
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 配線間の容量を抑え、更に有効に配線間容量を低減することができ、シリコン窒化膜系を必要としない形状のよい溝配線が達成されるデュアルダマシン構造を得ることが可能になる半導体装置及びその製造方法を提供することを目的とする。

【解決手段】 上層に設けられるCu配線111及び接続孔配線が設けられる層がそれぞれ絶縁材料によって形成して成る絶縁層(103, 104, 105)から成り、接続孔配線が設けられる層である第1のシリコン酸化膜103と、その接続孔配線の上に設けられるCu配線111が存在する層であるHSQ膜104とは、反応性ガスの流量比におけるエッチングレートが異なる材料から成ることによる。



【特許請求の範囲】

【請求項 1】 配線が設けられるシリコン基板と、このシリコン基板よりも上層に設けられる配線と、シリコン基板に設けられる配線と上層に設けられる配線とを電気的に接続する接続孔配線と、上層に設けられる配線及び接続孔配線が設けられる層をそれぞれ絶縁材料によって形成して成る絶縁層と、上層に設けられる配線及び接続孔配線と前記絶縁層との境界面上であり、かつ上層に設けられる配線及び接続孔配線側の面上に設けられるバリアメタルから成り、前記接続孔配線が設けられる層である前記絶縁層と、その接続孔配線の上層に設けられる配線が存在する層である前記絶縁層とは、反応性ガスの流量比におけるエッチングレートが異なる材料から成ることを特徴とする半導体装置。

【請求項 2】 接続孔配線が設けられる層に存在する前記絶縁層はシリコン酸化膜であり、配線が設けられる層に存在する前記絶縁膜層は下層がハイドロゲンシルセキオサン (Hydrogen silsesquioxane; 以下 H S Q と称す) 膜であり上層がシリコン酸化膜であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 接続孔配線が設けられる層に存在する前記絶縁層は下層が H S Q 膜で上層がシリコン酸化膜であり、配線が設けられる層に存在する前記絶縁膜層は下層が H S Q 膜で上層がシリコン酸化膜であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記 H S Q 膜は炭素を含有することを特徴とする請求項 2 又は請求項 3 に記載の半導体装置。

【請求項 5】 配線溝に配線を設定したシリコン基板上に第 1 絶縁膜と第 2 絶縁膜と第 3 絶縁膜とをこの順に形成する第 1 工程と、第 3 絶縁膜上にレジストをパターンニングしてシリコン基板上の配線の上面までエッチングして接続孔を形成する第 2 工程と、レジストを除去し、第 3 絶縁膜上と接続孔のうち少なくとも第 3 絶縁膜上にレジストをパターンニングして第 1 絶縁膜の上面までエッチングして配線溝を形成する第 3 工程と、レジストを除去し、接続孔及び配線溝と絶縁膜との境界面部分における接続孔及び配線溝側の面上にバリアメタルを被着する第 4 工程と、バリアメタル上に電気伝導性に優れる材料を形成して接続孔及び配線溝を埋設する第 5 工程と、配線溝に形成された配線表面を研磨する第 6 工程と、を設定して、前記第 1 絶縁膜と前記第 2 絶縁膜とは、反応性ガスの流量比におけるエッチングレートが異なる材料を用いることを特徴とする半導体装置製造方法。

【請求項 6】 第 1 絶縁膜はシリコン酸化膜であり、第 2 絶縁膜は H S Q 膜であることを特徴とする請求項 5 に記載の半導体装置製造方法。

【請求項 7】 第 1 絶縁膜は下層部分が H S Q 膜、上層部分がシリコン酸化膜から成り、第 2 絶縁膜は H S Q 膜であることを特徴とする請求項 5 に記載の半導体装置製造方法。

【請求項 8】 前記 H S Q 膜は炭素を含有することを特徴とする請求項 6 又は請求項 7 に記載の半導体装置製造方法。

【請求項 9】 第 2 工程においてエッチングするときに酸素流量に対するフッ素系炭素ガスの流量比を約 1.5 に設定し、第 3 工程においてエッチングするときに酸素流量に対するフッ素系炭素ガスの流量比を約 1.5 未満に設定することを特徴とする請求項 5 から請求項 8 のいずれかーに記載の半導体装置製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置及びその製造方法に関し、特にデュアルダマシン構造による半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 近年、L S I の信号処理の高速化の要求は年々増加している。L S I の信号処理速度は、主にトランジスタ自体の動作速度の大小及び配線での信号伝播遅延時間の大小で決定される。従来、L S I の信号処理速度に多大な影響を及ぼしていたトランジスタの動作速度は、トランジスタのサイズを縮小化することによって向上されてきた。しかし、L S I 設計ルールが 0.12 μ m に比較してより小さい L S I では、配線の信号伝播遅延に関する影響が L S I の信号処理速度に大きく現れる。そこで最近では、従来の A 1 に比較して抵抗値の低い C u を使用して金属配線層を形成する開発が活発化している。C u は通常の低温でのドライエッチングによる加工が難しいので、銅配線を形成するためにはシリコン酸化膜を加工して配線形状を形成し、その配線形状の溝に C u を埋設する方法が有力な方法である。

【0003】 溝配線構造を形成する方法としては、ダマシン (damascene) 法による埋設型配線形成技術が提案されている。ダマシン法は、絶縁体の溝に金属薄膜を埋め込んで化学的機械研磨 (Chemical Mechanical Polish; 以下 C M P と称す) 法を用いて平坦化する方法である。また、配線を形成する配線層 1 層のみを形成する場合をシングルダマシン法という。ダマシン構造を採用する場合、製造コストの面から有利である配線層と下層配線層接続用のヴィアホールを一括で形成するデュアルダマシン法が有望である。このデュアルダマシン法とは、配線を埋め込む配線溝と上下の配線層間を結ぶ接続孔とを形成後、これら双方に配線材料を埋め込み C M P 法によって配線溝から溢れる余分な配線材料を削り、配線及び接続孔内のプラグ (接続孔内に形成される接続孔配線) を同時に形成する技術である。このデュアルダマシン法によると、配線とプラグとを一度に形成することができるので、大幅なプロセスコストの低減を図ることができる。

【0004】 以下にデュアルダマシン構造の従来の製造方法の一例に関して図 4 を参照して説明する。図 4 は、

従来の半導体装置製造方法の工程を示す図である。一般にデュアルダマシンの方法は複数の方法が考えられる。ここでは、ビアホールを最初にエッチングし、つづいて配線部をエッチングするビアファースト加工の例を示す。まず、トランジスタ等の素子が形成されており第1配線402が形成してあるシリコン基板401上に、ビア層間として使用される第1シリコン酸化膜403を約300nm～約1000nmの膜厚で成膜する。その第1シリコン酸化膜403上に、溝エッチングのストッパー膜として使用されるSiN膜又はSiON膜404を約30nm～約200nmの膜厚で成膜する。そのSiN膜又はSiON膜404上に、配線層間膜として使用される第2のシリコン酸化膜405を約100nm～約500nmの膜厚で成膜する(図4-(A))。つづいてパターンニングされたフォトリソグ406をマスクとして、ビアホール407をエッチングによって形成する(図4-(B))。つぎにフォトリソグ406を剥離した後、再度フォトリソグ408をパターンニングしエッチングによって溝を形成する。エッチングによって溝を形成するときは、SiN又はSiON404から下層をエッチングしないようにSiN又はSiON404上部でエッチングする層を確実にとめる(図4-(C))。最後に、Ta₂N₅等のバリアメタル409をスパッタによって溝の内面に被着する。つぎに、電気めっき法によってこの溝を埋設するようにCu層410を形成する。その後積層表面にCMPを施すことによって、配線溝に埋め込まれなかった配線溝から溢れる余分な配線材料を削り、Cuデュアルダマシン構造を形成する(図4-(d))。

【0005】

【発明が解決しようとする課題】しかしながら、図5に示すようにストッパー膜として比誘電率が高いSiN(ϵ = 約7～約8)やSiON(ϵ = 約5～約6)を使用した場合には、特に微細ピッチのパターンにおいて隣接する配線のへりによるフリンジ効果によって配線間容量が増大してしまうという問題がある。たとえ比誘電率の低いHSQや有機含有シリコン酸化膜等をストッパー膜に適用しても、信号の伝播遅延の大きな原因になってしまうという問題がある。

【0006】以上の従来技術における問題に鑑み、本発明は配線間の容量を抑え、更に有効に配線間容量を低減することができ、シリコン窒化膜系を必要としない形状のよい溝配線が達成されるデュアルダマシン構造を得ることが可能になる半導体装置及びその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】前記課題を解決する本出願第1の発明の半導体装置は、配線が設けられるシリコン基板と、このシリコン基板よりも上層に設けられる配線と、シリコン基板に設けられる配線と上層に設けられ

る配線とを電気的に接続する接続孔配線と、上層に設けられる配線及び接続孔配線が設けられる層をそれぞれ絶縁材料によって形成して成る絶縁層と、上層に設けられる配線及び接続孔配線と前記絶縁層との境界面上であり、かつ上層に設けられる配線及び接続孔配線側の面上に設けられるバリアメタルから成り、前記接続孔配線が設けられる層である前記絶縁層と、その接続孔配線の上層に設けられる配線が存在する層である前記絶縁層とは、反応性ガスの流量比におけるエッチングレートが異なる材料から成ることを特徴とする。

【0008】したがって、本出願第1の発明の半導体装置によれば、前記接続孔配線が設けられる層である前記絶縁層と、その接続孔配線の上層に設けられる配線が存在する層である前記絶縁層とが、反応性ガスの流量比におけるエッチングレートが異なる材料から成るので、接続孔配線が設けられる層である絶縁層をエッチングすることを防ぐことが可能になる。したがって、シリコン基板よりも上層に設けられる配線の直ぐ下にSiNやSiON等のシリコン窒化膜系のストッパー膜が必要でなくなるため、配線間の配線間容量を低減することができる。

【0009】本出願第2の発明の半導体装置は、本出願第1の発明の半導体装置において、接続孔配線が設けられる層に存在する前記絶縁層はシリコン酸化膜であり、配線が設けられる層に存在する前記絶縁層は下層がHSQ膜であり上層がシリコン酸化膜であることを特徴とする。また、本出願第3の発明の半導体装置は、本出願第1の発明の半導体装置において、接続孔配線が設けられる層に存在する前記絶縁層は下層がHSQ膜で上層がシリコン酸化膜であり、配線が設けられる層に存在する前記絶縁層は下層がHSQ膜で上層がシリコン酸化膜であることを特徴とする。更に、本出願第4の発明の半導体装置は、本出願第2又は本出願第3の発明の半導体装置において、前記HSQ膜は炭素を含有することを特徴とする。

【0010】したがって、本出願第2又は本出願第3又は本出願第4の発明の半導体装置によれば、シリコン酸化膜のエッチングレートと比較してHSQ膜のエッチングレートが大きい条件でHSQ膜をエッチングするため、形状の良好なデュアルダマシン構造を得ることが可能になる。また、絶縁膜間にストッパー膜を設ける必要がなくなるため、配線間の配線間容量を低減することができる。

【0011】本出願第5の発明の半導体装置製造方法は、配線溝に配線を設定したシリコン基板上に第1絶縁膜と第2絶縁膜と第3絶縁膜とをこの順に形成する第1工程と、第3絶縁膜上にレジストをパターンニングしてシリコン基板上の配線の上面までエッチングして接続孔を形成する第2工程と、レジストを除去し、第3絶縁膜上と接続孔のうち少なくとも第3絶縁膜上にレジストをパ

ターンニングして第1絶縁膜の上面までエッチングして配線溝を形成する第3工程と、レジストを除去し、接続孔及び配線溝と絶縁膜との境界面部分における接続孔及び配線溝側の面上にバリアメタルを被着する第4工程と、バリアメタル上に電気伝導性に優れた材料を形成して接続孔及び配線溝を埋設する第5工程と、配線溝に形成された配線表面を研磨する第6工程と、を設定して、前記第1絶縁膜と前記第2絶縁膜とは、反応性ガスの流量比におけるエッチングレートが異なる材料を用いることを特徴とする。

【0012】したがって、本出願第5の半導体装置製造方法によれば、シリコン基板よりも上層に設けられる配線の直ぐ下にSiNやSiON等のシリコン窒化膜系のストッパー膜が必要でなくなるため、配線間の配線間容量を低減する半導体装置を製造することができる。

【0013】本出願第6の発明の半導体装置製造方法は、本出願第5の発明の半導体装置製造方法において、第1絶縁膜はシリコン酸化膜であり、第2絶縁膜はHSQ膜であることを特徴とする。また、本出願第7の発明の半導体装置製造方法は、本出願第5の発明の半導体装置製造方法において、第1絶縁膜は下層部分がHSQ膜、上層部分がシリコン酸化膜から成り、第2絶縁膜はHSQ膜であることを特徴とする。更に、本出願第8の発明の半導体装置製造方法は、本出願第6又は本出願第7の発明の半導体装置製造方法において、前記HSQ膜は炭素を含有することを特徴とする。

【0014】したがって、本出願第6又は本出願第7又は本出願第8の半導体装置製造方法によれば、シリコン酸化膜のエッチングレートと比較してHSQ膜のエッチングレートが大きい条件でHSQ膜をエッチングするため、形状の良好なデュアルダマシン構造を得る半導体装置を製造することができる。また、絶縁膜間にストッパー膜を設ける必要がなくなるため、配線間の配線間容量を低減する半導体装置を製造することができる。

【0015】本出願第9の発明の半導体装置製造方法は、本出願第5から本出願第8の発明のいずれか一の半導体装置製造方法において、第2工程においてエッチングするときに酸素流量に対するフッ素系炭素ガスの流量比を約1.5に設定し、第3工程においてエッチングするときに酸素流量に対するフッ素系炭素ガスの流量比を約1.5未満に設定することを特徴とする。

【0016】したがって、本出願第9の半導体装置製造方法によれば、シリコン酸化膜のエッチングレートと比較してHSQ膜のエッチングレートが大きい条件でHSQ膜をエッチングするため、形状の良好なデュアルダマシン構造を得る半導体装置を製造することができる。また、絶縁膜間にストッパー膜を設ける必要がなくなるため、配線間の配線間容量を低減する半導体装置を製造することができる。第2工程においてエッチングするときに酸素流量に対するフッ素系炭素ガスの流量比が約1.

5とすることによってシリコン酸化膜及びHSQ膜共にほぼ等しいエッチングレートになる。したがって、シリコン酸化膜及びHSQ膜を単位時間あたりほぼ同等な割合でエッチングすることが可能になる。一方、第2工程においてエッチングするときに酸素流量に対するフッ素系炭素ガスの流量比が約1.5とは異なる数値では、シリコン酸化膜と比較してHSQ膜のほうがエッチングされやすくなる、又はシリコン酸化膜と比較してHSQ膜のほうがエッチングされ難くなってしまふ。第3工程においてエッチングするときに酸素流量に対するフッ素系炭素ガスの流量比を約1.5未満とすることによって、シリコン酸化膜と比較してHSQ膜のほうがエッチングされやすくなる。したがって、シリコン酸化膜をほとんどエッチングすることなくHSQ膜のみをエッチングすることが可能になる。一方、第3工程においてエッチングするときに酸素流量に対するフッ素系炭素ガスの流量比が約1.5以上になると、HSQ膜を単位時間あたりにエッチングする割合が少なくなる。したがって、相対的にシリコン酸化膜を単位時間あたりにエッチングする割合にHSQ膜を単位時間あたりにエッチングする割合が近づいてしまふ。この結果、HSQ膜のみをエッチングすることが困難になってしまひ、シリコン酸化膜までもエッチングしてしまふことが起こり得ることになってしまふ。

【0017】

【発明の実施の形態】実施の形態

本発明における実施の形態の半導体装置を図1から図3を参照して説明する。図1は、本発明における本実施の形態の半導体装置製造工程である。図1(E)は、本発明における本実施の形態の半導体装置の完成断面図である。

【0018】本実施の形態に係る半導体装置は、従来の半導体装置のSiN膜又はSiON膜とその膜上に形成されるシリコン酸化膜の部分とが、それぞれHSQ膜とそのHSQ膜上に形成されるシリコン酸化膜とに変更される以外の構成は従来の半導体装置と同様の構成を備えて成る。すなわち本実施の形態に係る半導体装置は以下に示す材料から構成される。第1配線102が形成されているシリコン基板101と、そのシリコン基板101上に形成される第1のシリコン酸化膜103と、その第1のシリコン酸化膜103上に形成されるHSQ膜104と、そのHSQ膜104上に形成される第2のシリコン酸化膜105と、第2のシリコン酸化膜105の表面から第1配線102までエッチングされて、そのエッチングされた溝の内面に被着されるバリアメタルと、その溝を埋設する接続孔配線及び銅配線とから構成される。ここで、第1のシリコン酸化膜に形成される溝と、HSQ膜及び第2のシリコン酸化膜に形成される溝との径及び深さは一般的に異なる。

【0019】本実施の形態の半導体装置では、第1のシ

リコン酸化膜に形成される溝が配線を電氣的に接続する接続孔配線であり、HSQ膜及び第2のシリコン酸化膜に形成される溝が第2の金属配線の銅配線である。シリコン酸化膜とHSQ膜とのエッチングされる速度は異なるので、この様に配線層と下層配線層接続用のビアホールを一括で形成するデュアルダマシン構造を形成することが可能になる。

【0020】 つぎに、本発明における実施の形態の半導体装置製造方法を図1及び図2を参照して説明する。図2は、本発明における実施の形態の半導体装置製造方法におけるHSQ膜とシリコン酸化膜とのそれぞれの場合でのC₄F₈とO₂との流量比に対するエッチングレート(nm/min)の関係を示す図である。本発明における実施の形態の半導体装置製造方法では、シリコン基板101上に、第1シリコン酸化膜103と、HSQ膜104と、第2シリコン酸化膜105とをこの順に成膜する(図1-(A))。シリコン基板101上にはトランジスタ等の素子及び第1配線102が形成される。第1シリコン酸化膜103はビア層間として使用され、その膜厚は約300nm～約1000nmである。またHSQ膜104は低誘電率層間膜であり、その膜厚は約100nm～約500nmである。更に第2シリコン酸化膜105の膜厚は約30nm～約200nmである。つづいてパターンニングされたフォトレジスト106をマスクとして、ビアホール107をエッチング形成する(図1-(B))。エッチングを行う場合は、C₄F₈とO₂とCOとArとから成る混合ガス系を用いてエッチングする。C₄F₈とO₂との流量比とエッチングレートとの関係は図2に示す関係があるため、ビアエッチングのときにはHSQ膜とシリコン酸化膜とのエッチングレートが小さい図中に示されるAでのエッチングレート(約400nm/min)でエッチングする。このAにおいては、酸素流量に対するC₄F₈の流量が1.5倍程度であり、パワーが2000W程度、COの流量が約30～約100SCCM(Standard Cubic Cm/Minute)、Arの流量が約500～約600SCCMである条件下で行う。つぎにフォトレジスト106を剥離後、再度フォトレジスト108をパターンニングする(図1-(C))。ここでフォトレジスト108を塗布する前に反射防止膜であるARC(AntiReflective Coating)を塗布する場合もある。つぎに溝部分109を形成する溝エッチングを行う。このエッチングは図2に示すシリコン酸化膜に比較してHSQのエッチングレートが大きい図中に示されるBでのエッチングレート(約1100nm/min)でエッチングする。このBの条件はO₂流量に対するC₄F₈の流量比を約1.5未満にする。この流量比を使用することによって、SiN等の窒化膜系のストッパー膜を用いることなく、HSQのエッチングをシリコン酸化膜上103で確実にとめることができる。以上の手順によって、溝部分109が形成される(図1

-(d))。その後フォトレジスト108を剥離後、Ta₂N等のバリアメタル110をスパッタによって溝部分109の内面に被着する。つぎに電気めっき法によって溝部分109を埋設するようにCu層を成膜する。その後CMPによってCuを研磨しCu配線111が形成され、Cuデュアルダマシン構造を完成させる(図1-(E))。ここではビア層間膜になる第1のシリコン酸化膜103には、シリコン酸化膜を使用した。また、HSQ膜中に炭素が15%以下含有する場合もある。

【0021】 本実施の形態の半導体装置製造方法によって形成されるデュアルダマシン構造では、配線層間膜としてHSQ又は炭素を含有したHSQ膜を使用し、ビア層間膜にシリコン酸化膜から成る構造を形成している。更にこの層間膜構造において、ビアを最初に形成し、つづいて配線層をエッチングしている。シリコン酸化膜に対してHSQのエッチングレートが遅い条件を使うことにより、HSQ中に形成する配線エッチングの際のオーバーエッチングを防止することが可能になる。

【0022】 本実施の形態の半導体装置製造方法は、デュアルダマシン構造において配線下のSiNやSiON等のシリコン窒化膜系のストッパー膜が必要なくなるため、配線間の配線間容量を低減することができる。更に配線間にHSQ膜を使用することにより、配線間容量を低減することができる。配線間容量を低減することは、シリコン酸化膜と比較してエッチングレートが遅い条件でHSQ膜をエッチングすることで達成され、形状の良好なデュアルダマシン構造を得ることが可能になる。

【0023】 本実施の形態の半導体装置製造方法では、図3に示すように第1のシリコン酸化膜103の下層部分に対応する位置にHSQ膜を形成し、そのHSQ膜上の第1のシリコン酸化膜103の上層部分に対応する位置にシリコン酸化膜を形成して、半導体装置を得る場合もある。その他の製造工程は上述した半導体製造方法と同様である。

【0024】 以上本発明の実施の形態の半導体装置によれば、配線102が設けられるシリコン基板101と、このシリコン基板101よりも上層に設けられるCu配線111と、シリコン基板101に設けられる配線102と上層に設けられるCu配線111とを電氣的に接続するビアホール107の一部の接続孔に設けられる接続孔配線と、上層に設けられるCu配線111及び接続孔配線が設けられる層がそれぞれ絶縁材料によって形成して成る絶縁層(103, 104, 105)と、上層に設けられるCu配線111及び接続孔配線と絶縁層(103, 104, 105)との境界面上であり、かつ上層に設けられるCu配線111及び接続孔配線側の面上に設けられるバリアメタル110から成り、前記接続孔配線が設けられる層である第1のシリコン酸化膜103と、その接続孔配線の上に設けられるCu配線111が存在する層であるHSQ膜104とは、反応性ガスの流

量比におけるエッチングレートが異なる材料から成ることによって、シリコン基板 101 よりも上層に設けられる Cu 配線 111 の直ぐ下に SiN や SiON 等のシリコン窒化膜系のストッパー膜が必要でなくなるため、配線間の配線間容量を低減することができる。又は、本発明の実施の形態の半導体装置製造方法によれば、配線溝に配線 102 を設定したシリコン基板 101 上に第 1 のシリコン酸化膜 103 と HSQ 膜 104 と第 2 のシリコン酸化膜 105 とをこの順に形成する第 1 工程と、第 2 のシリコン酸化膜 105 上にフォトレジスト 106 をパターニングしてシリコン基板 101 上の配線 102 の上面までエッチングしてビアホール 107 を形成する第 2 工程と、フォトレジスト 106 を除去し、第 2 のシリコン酸化膜 105 上とビアホール 107 のうち少なくとも第 2 のシリコン酸化膜 105 上にフォトレジスト 108 をパターニングして第 1 のシリコン酸化膜 103 の上面までエッチングして配線溝 109 を形成する第 3 工程と、フォトレジスト 108 を除去し、ビアホール 107 の一部である接続孔及び配線溝 109 と絶縁膜 (103, 104, 105) との境界面部分における接続孔及び配線溝 109 側の面上にバリアメタル 110 を被着する第 4 工程と、バリアメタル 110 上に電気伝導性に優れる材料である Cu を形成して接続孔及び配線溝 109 を埋設する第 5 工程と、第 2 のシリコン酸化膜 105 及び Cu 配線 111 表面を研磨する第 6 工程と、を設定して、第 1 のシリコン酸化膜 103 と HSQ 膜 104 とは、反応性ガスの流量比におけるエッチングレートが異なる材料を用いることによって、シリコン基板よりも上層に設けられる配線の直ぐ下に SiN や SiON 等のシリコン窒化膜系のストッパー膜が必要でなくなるため、配線間の配線間容量を低減する半導体装置を製造することができる。

【発明の効果】以上により本発明の半導体装置では、シリコン基板よりも上層に設けられる配線の直ぐ下に SiN や SiON 等のシリコン窒化膜系のストッパー膜が必要でなくなるため、配線間の配線間容量を低減することができる。また、シリコン酸化膜のエッチングレートと

比較して HSQ 膜のエッチングレートが大きい条件で HSQ 膜をエッチングするため、形状の良好なデュアルダマシン構造を得ることが可能になる。更に、本発明の半導体装置製造方法では、シリコン基板よりも上層に設けられる配線の直ぐ下に SiN や SiON 等のシリコン窒化膜系のストッパー膜が必要でなくなるため、配線間の配線間容量を低減する半導体装置を製造することができる。また、シリコン酸化膜のエッチングレートと比較して HSQ 膜のエッチングレートが大きい条件で HSQ 膜をエッチングするため、形状の良好なデュアルダマシン構造を有する半導体装置を製造することができる。

【図面の簡単な説明】

【図 1】 本発明における実施の形態の半導体装置製造方法の工程を示す図である。

【図 2】 本発明における実施の形態の半導体装置製造方法における HSQ 膜とシリコン酸化膜とのそれぞれの場合での C_4F_8 と O_2 との流量比に対するエッチングレート (nm/min) の関係を示す図である。

【図 3】 本発明における実施の形態の半導体装置において絶縁膜の構成を変化させた場合の半導体装置の断面図である。

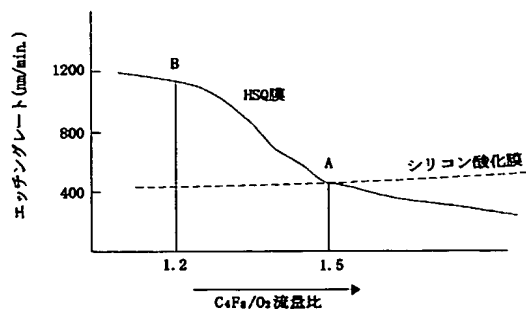
【図 4】 従来の半導体装置製造方法の工程を示す図である。

【図 5】 従来の半導体装置の微細ピッチのパターンにおけるフリンジ効果を示す図である。

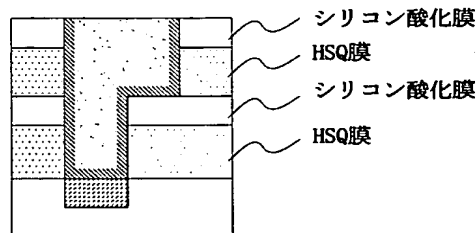
【符号の説明】

101	シリコン基板
102	第 1 配線, 配線
103	第 1 のシリコン酸化膜
104	HSQ 膜
105	第 2 のシリコン酸化膜
106	フォトレジスト
107	ビアホール
108	フォトレジスト
109	溝部分, 配線溝
110	バリアメタル
111	Cu 配線

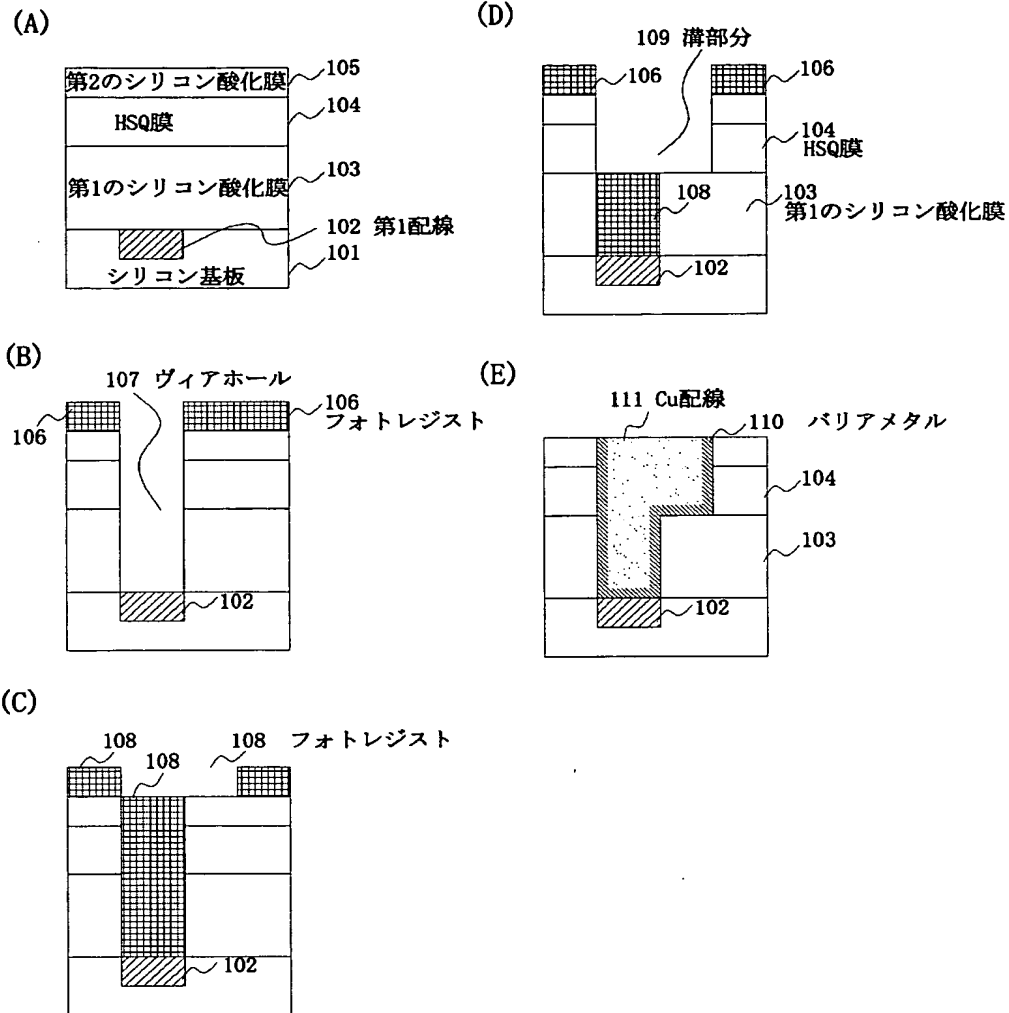
【図 2】



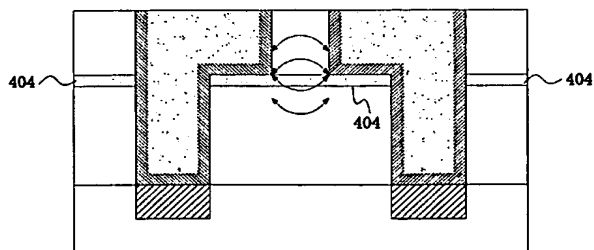
【図 3】



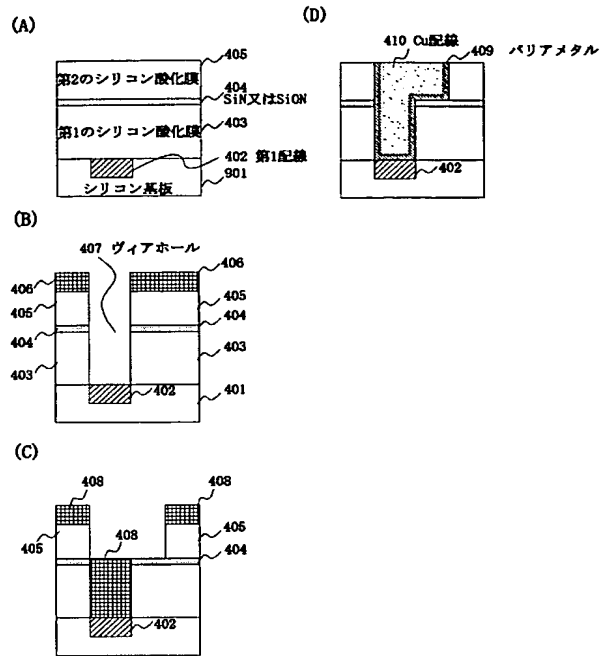
【図1】



【図5】



【図4】



フロントページの続き

Fターム(参考) 4M104 AA01 BB32 CC01 DD08 DD15
 DD16 DD20 DD37 DD52 DD75
 EE12 EE14 FF18 FF22 GG13
 HH18 HH20
 5F033 HH11 HH32 JJ01 MM02 NN06
 NN07 PP15 PP27 QQ15 QQ35
 QQ37 QQ38 QQ48 RR04 RR23
 SS21 WW06 XX24 XX27